

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

H01L 29/92

H01L 21/3205

## [12] 发明专利申请公开说明书

[21] 申请号 97198371.2

[43]公开日 1999 年 10 月 13 日

[11]公开号 CN 1231771A

[22]申请日 97.9.19 [21]申请号 97198371.2

[30]优先权

[32]96.9.30 [33]DE [31]19640246.8

[86]国际申请 PCT/DE97/02133 97.9.19

[87]国际公布 WO98/15013 德 98.4.9

[85]进入国家阶段日期 99.3.30

[71]申请人 西门子公司

地址 联邦德国慕尼黑

[72]发明人 W·哈特纳 G·欣德勒

C·马祖雷-埃斯佩佐

[74]专利代理机构 中国专利代理(香港)有限公司

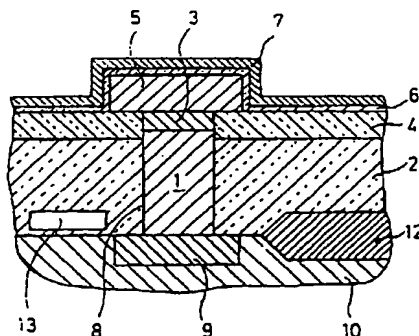
代理人 马铁良 王忠忠

权利要求书 2 页 说明书 5 页 附图页数 3 页

[54]发明名称 具有供叠层件使用备有被保护阻挡层的半导体构件

[57]摘要

本发明涉及供集成电路使用的半导体构件,其中设在绝缘层(2)中的一个叠层件备有一个用插头(1)填实的接触孔(8),在孔的上面备有一个电容器,其中有一个面对插头(1)的下电极(5),一层顺电、或铁电材料的电介质(6)以及一个上电极(7)。在插头(1)和下电极(5)之间有一层用氮化硅层(4)围住的阻挡层(3),氮化硅层用于防止阻挡层(3)遭受氧化。



ISSN 1008-4274

Best Available Copy

## 权 利 要 求 书

1· 半导体构件，供集成电路用，特别是在 DRAM-和 FeRAM 技术中供存储器用，其中的一个叠层件在一层绝缘层（2）中有一个用填充材料或插头（1）填实的接触孔（8），在接触孔上面有一个电容器，  
5 电容器有一个面对填充材料的电极（5），一层超顺电、顺电或铁电材料的电介质（6），以及一个上电极（7），在填充材料（1）和下电极（5）之间有一阻挡层（3），后者完全用氮化硅制成的区域围住，

其特征在于，

在接触孔（8）中的填充材料（1）的上面敷设阻挡层（3），

10 氮化硅区域是由在绝缘层（2）上面敷设的氮化硅层（4）构成的结构，

氮化硅层（4）与接触孔（8）邻接，

在由阻挡层（3）和氮化硅层（4）构成的平面上设有下电极（5），电介质（6）和上电极（7）。

15 2· 如权利要求 1 所述的半导体构件，

其特征在于，

填充材料是由导电材料，特别是硅化物、氮化物、钨或多晶硅构成的。

3· 如权利要求 1 或 2 所述的半导体构件，

20 其特征在于，

下电极（5）和 / 或上电极（7）是由铂、钌、铱、钽或者由其导电的氧化物制成的。

4· 如权利要求 1 至 3 中的一项中所述的半导体构件，

其特征在于，

25 阻挡层（3）是由 WN、WC、WTiN、TaN、TiN 或 TiC 制成的。

5· 如权利要求 1 至 4 项中的一项中所述的半导体构件的制造方法，

其特征在于，

30 在制成备有一件半导体主体（10）的一 CMOS 平面之后，在其上面制造一层绝缘层（2），并且敷设一层氮化硅层（4），

在氮化硅层（4）和绝缘层（2）中开出一个接触孔（8），

在接触孔（8）中充填导电的填充材料（1），特别是用硅化物、

氮化物、钨或多晶硅构成的填充材料，

在填充材料(1)中开出一个开槽，其深度与氮化硅层(4)的厚度相适配。

5 在开槽中制造一层阻挡层(3)，采用研磨或反刻蚀工序使阻挡层(3)埋置在氮化硅层(4)之中，然后

依次敷设下电极(5)，电介质(6)和上电极(7)。

6 如权利要求5所述的方法，

其特征在 于，

在刻蚀成接触孔(8)之后，在其周壁上敷设一层氮化硅层(16)。

# 说明书

## 具有供叠层件使用备有被保护阻挡层的半导体构件

本发明涉及按照权利要求 1 的宗旨的半导体构件，以及这种半导体构件的制造方法。

在半导体存储器构件的普通存储器元件中，作为存储器电介体使用的大多是氧化硅层，或者也用氮化硅层。然而两者的介电常数仅只是在 6 的范围以内。可是较高的介电常数会使相应的电容器具有较大的电容量，从而也会使其外形尺寸有所减小，如果放弃提高其电容量的话。换言之，使用大介电常数的电介体会导致相应电容器占用面积的减小，转反而会提高集成的密度。

在这者方面所做的开发工作提供了介电常数不是 6，而是高于 6 很多的材料。于是开发出，例如顺电材料  $(\text{Ba}_x\text{ST}_{1-x})\text{TiO}_3$  (BST)，其介电常数达到 400 的数量级。显然，用 BST 替代普通的二氧化硅或者氮化硅层能够大大提高集成密度。

另外，普通的存储元件，例如动态随机存取存储器 (DRAM)，即使采用的是顺电材料，但是每当断电时，它的电荷丢失，从而在其中储存的信息也随之丢失。除此以外，由于这种普通的存储器会产生漏电电流，所以经常要重新进行重写，被称之为“更新”。也就是出于这样的原因，采用新型的铁电材料作为存储器电介体是众望所归的事。因为只有这样方才能够制成非易失性半导体存储构件，在断电时不会丢失其中的信息，并且不必经常要进行重写。

总而言之，采用铁电材料作为半导体存储器的电介体是众望所归的事实，因为这样方才能够达到可靠的抗断电性的同时提高集成的密度。

在半导体存储器构件中实现采用这样的铁电或者顺电材料在很大的程度上要取决于怎样才能将这样的材料集成到半导体集成电路结构中去。作为铁电或者顺电材料考虑的除了以上所述的 BST 以外，还有  $(\text{Pb}, \text{Zr})\text{TiO}_3$  (PZT)， $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT)， $\text{SrBi}_2(\text{Ta}, \text{Nb})\text{O}_9$  (SBTN)， $\text{SrTiO}_3$  (ST)，以及铁电和顺电聚合物或者普通的铁电和顺电材料。

虽然此类材料的介电常数高，并且出于这样的原因也采用了铁电随机存取存储器 (FeRAM)，但是在实际情况下其重要作用仍然受到

限制。因为，此时发现上述具有高介电常数的材料还是不能立即在半导体存储器构件中应用。因此，在例如高集成叠层件中应用高介电常数的介电材料或者铁电材料还会由于这样的原因受到很大的限制，即称之为“插头”的、或者是在接触孔中所装填的填充材料会在淀积电介体时被氧化。这种氧化的发生特别是归咎于这样的事实，即在上述具有高介电常数的介电体、或铁电材料中都要牵涉到氧化物的问题，而制造半导体构件或电容器构件的过程却必须要暴露在含氧的气氛之中。

由于电容器接触层通常使用的铂电极会渗透氧气，从而会使例如插头和电极之间的界面产生氧化，这就意味着断电。

图 3 所示是具有一个存储单元的这样的半导体构件。在这个半导体构件中，在设有高掺杂区 9 的一片半导体主体 10 中设有、例如用二氧化硅制作的绝缘层 2，在该层中刻蚀出一个接触孔 8。这个接触孔 8 用填充材料或者用钨或多晶硅料制造的插头 1 填实。在插头 1 的上方有一层阻挡层 3，可以用例如 WN、WTiN、TaN、WC 等制造。阻挡层 3 将用、例如铂制造的下电极 5 与插头 1 隔开。在下电极 5 上面有一层顺电或铁电的电介体 6，在其上面又有一层上电极 7。在这样的半导体构件中，从一开始就在 11 区域中产生阻挡层 3 的材料的氧化，最后可能导致断电。在此情况下，氧化逐步由 11 区域沿着阻挡层 3 和电极 5 之间的界面 14、并且沿着阻挡层 3 和绝缘层 2 之间的界面 15 蔓延。

特别是出于这样的原因，迄今为止，据认为将一种铁电或顺电电介体集成在高集成密度的存储器构件中的成果实际上是小于预期的程度。

为了在很大的范围内避免以上所述在电极和插头之间的界面的氧化，如今直到在一个 LOCOS 区的上面制造一种普通的 CMOS 晶体管结构之后方才淀积一层平面的高介电常数的电介体或铁电体。也就是说，要在一个 MOS 晶体管的漏极上连接，例如一条位线，在栅极上连接一条字线，另外在 LOCOS 区上有一个上电极是用铂制成的电容器，此上电极连接在 MOS 晶体管的源电极上，其绝缘层是用一层铁电体制成的，在此铁电体对面的第二电极 (common plate) 也是，例如用铂制成的。此处的电介层可以采用，例如 SBT。采用这种方法制成存储

单元的尺寸例如是： $10.1\ \mu\text{m} \times 16.5\ \mu\text{m} = 167\ \mu\text{m}^2 = 46\ \text{F}^2$ ，其中 F 按  $1.9\ \mu\text{m}$  的基数换算时。在此，电容器的面积约为： $3.3\ \mu\text{m} \times 3.3\ \mu\text{m} = 10.9\ \mu\text{m}^2 = 3\ \text{F}^2$ 。也就是说，存储器或者其连接到电容器的电路所占用的面积比较大。

5 将一电容器敷设在 LOCOS 区的上面虽然是一个优点，但是，平面铁电层是可以采用溅射法或溶胶凝胶法制造的，特别是铁电的敷设要在强氧化环境中进行，氧气透过大都是用铂制成的电极的渗透不会再对设在下方的层件产生影响，因为此时业已有一种氧化物存在。

10 总而言之，在 LOCOS 区上方淀积一 CMOS 晶体管结构虽然是毫无问题的，但是这却可以在很大的程度上导致集成密度的降低。

在导电的插头上直接敷设铁电层倒是可能的，但是却会导致进一步地氧化，最终会转而使导电的连接不导电。

15 因此，本发明的任务是提供一种能够集成铁电或顺电材料结构元件的半导体构件，并且可以避免在插头的阻挡层范围内发生不希望发生的氧化；另外还提供制造这种半导体构件的制造方法。

为了解决这项任务，本发明提供了具备权利要求 1 的特征的半导体构件。另外还完成了一种具备权利要求 5 的特征的方法。

在权利要求 2 至 4 中特别提供本发明有益的改进方法。

20 按照本发明的半导体构件还将阻挡层做成埋置于用氮化硅层做的“氮化硅法兰”中。从而避免、例如氮化钛、氮化钨、氮化钛钨、氮化钽等的阻挡层材料遭受氧化。

25 借助“氮化硅法兰”可以在制造顺电或铁电介电材料时避免氧气的横向扩散。这是指在阻挡层中实际不会产生像在现有技术水平状态下那样的横向氧化。另外，还使下电极材料，例如铂会牢固粘接在氮化硅层上。

以下借助附图对本发明作详细说明。

图 1 按照本发明的半导体构件的第 1 实施例的剖面图；

图 2 按照本发明的半导体构件的第 2 实施例的剖面图；

30 图 3 现有半导体构件的剖面图。

在以上各图中，凡是相对应的部件一律标以同样的标号。

如图 1 中的第 1 实施例所示, 按照本发明的半导体构件在一片具有高掺杂区 9 的硅基片 10 上敷设二氧化硅层 2, 它有一个接触孔 8 通到高掺杂区 9。在二氧化硅层 2 中、或在硅基片 10 上还可以有导电区或高掺杂区 13 和绝缘区 12。这些高掺杂区 12, 13 可以是, 例如, 5 导电电路或 LOCOS。

在接触孔 8 中采用填充材料或插头 1 填实。在例如用钨、硅、氮化硅或多晶硅等导电材料制造的插头 1 和采用、例如铂制的下电极 5 之间设有一层阻挡层 3, 后者可以采用导电的氮化物、碳化物、硼化物等、例如 WN、WC、WTiN、TaN、TiN、TiC 等制造。一种可能用于制 10 造插头的材料是 WSi。阻挡层 3 的四周用氮化硅 4 包围, 后者的上沿与阻挡层 3 的上沿齐平。阻挡层 3 的上沿也可以略低于氮化硅 4 的上沿。在用铂制的下电极 5 的上面敷设一层顺电、超顺电或铁电材料的电介质 6, 在其上面再用一层上电极 7 覆盖。上电极 7 和/或下电极 5 也可以用钌、铱、钼或其导电的氧化物、例如用  $\text{RuO}_2$ 、 $\text{IrO}_2$  等制造。

15 本发明的半导体构件可以采用以下列的方法为例制造。

首先制造有半导体本体 10、高掺杂区 9 和 13、绝缘区 12 以及氧化硅层 2 的 CMOS 平面。在刻蚀接触孔 8 之前先敷设氮化层 4。

在刻蚀接触孔 8 以及用钨、硅化物或多晶硅等导电材料填满接触孔 8 之后, 再进行反刻蚀, 在插头 1 的上表面上开出一个开槽。反刻 20 蚀的深度大约要与氮化硅层的厚度达到这样的适配, 即要使其略小于氮化硅层 4 的厚度。然后, 通过溅射法或 MOCVD 法在反刻蚀区中覆盖阻挡层 3。通过再刻蚀或研磨工序, 使阻挡层的上表面与氮化硅层的上表面齐平。也就是说, 使氮化硅层 4 就像法兰一样沿着周边围住阻挡层 3。

25 在阻挡层 3 的上面敷设下电极 5, 后者首选铂制成。然后敷设顺电、超顺电或铁电材料的电介质 6, 并且结构化。在电介质 6 的淀积过程中, 以及在以后的氧化温度处理过程中, 阻挡层 3 起到保护插头 1、防止氧气对其渗透和氧化的作用。在此过程中, 氮化硅层 4 可靠地保护所置入的阻挡层 3, 使其免受氧化, 并且保证铂 / 阻挡层 / 插 30 头 / 结构体的整体化。氮化硅是一种著名的、抗氧渗透性优越的阻挡层。它在本例的情况下防止周围环境中的氧侵入到阻挡层和下电极之间的过渡区。

本发明借此在很大的程度上提高了阻挡层 3 的抗氧化性。

图 2 所示是本发明的另一个实施例。在这个实施例中，接触孔 8 的周壁另外用一层氮化硅层 16 覆盖，这一层是在刻蚀接触孔 8 之后淀积而成的。



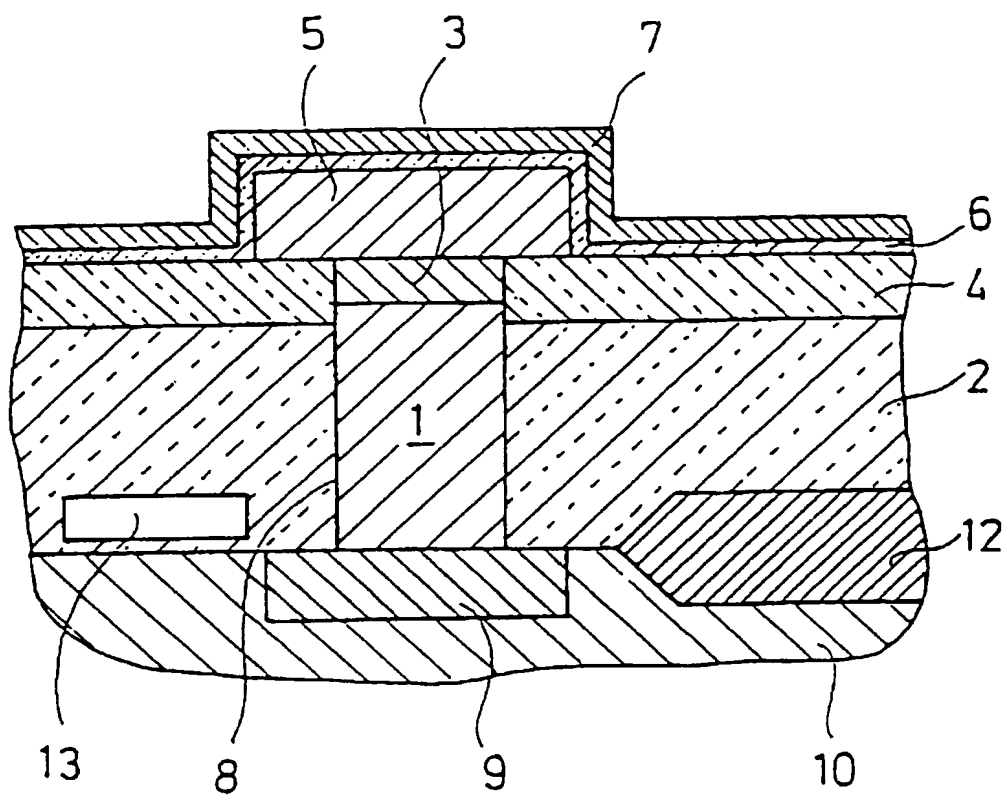


图 1

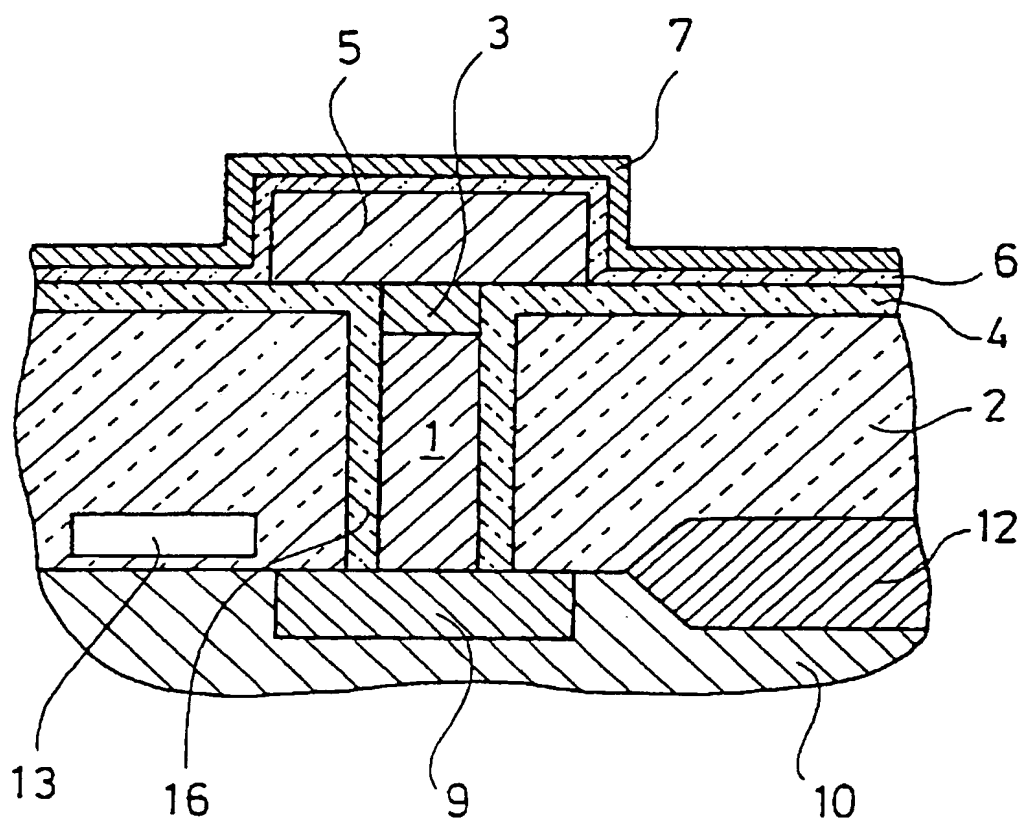


图 2

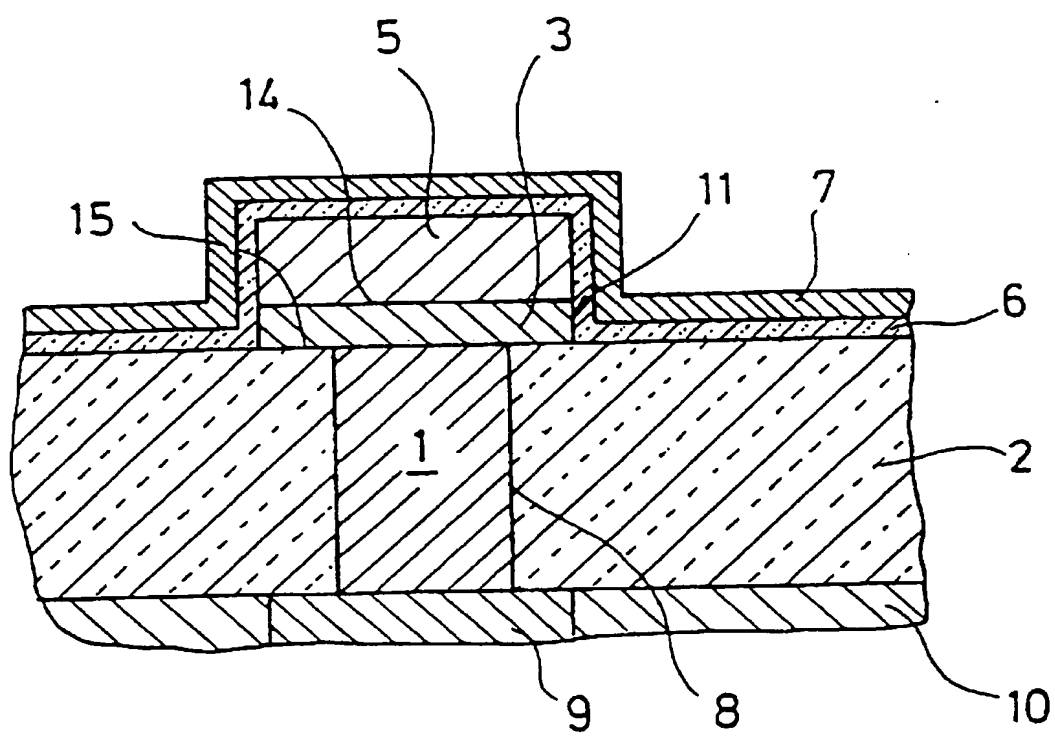


图 3